

## BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-315586

(43)Date of publication of application : 29.11.1996

(51)Int.Cl.

G11C 16/04

(21)Application number : 07-116676

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.05.1995

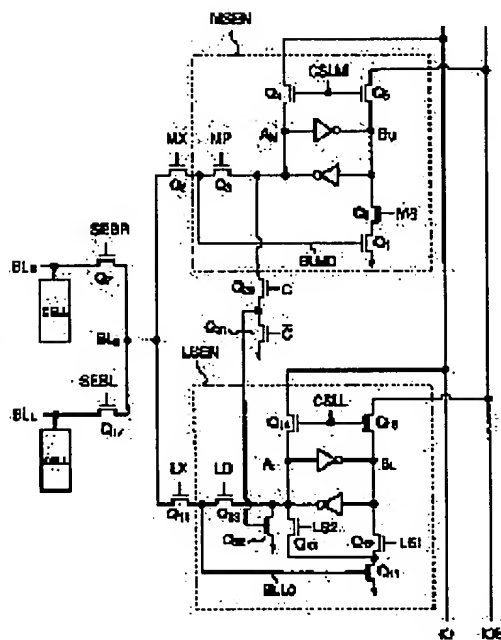
(72)Inventor : ITO YASUO

## (54) NONVOLATILE SEMICONDUCTOR MEMORY

## (57)Abstract:

PURPOSE: To reduce the fabrication cost of semiconductor memory without requiring any novel micromachining technology by providing two sense amplifiers per bit line.

CONSTITUTION: Data are read out in three stages; 1, reading of most significant bit(MSB), 2, reading of least significant bit (LSB) when MSB=1, and 3, reading of LSB when MSB=0. When MSB=1 and LSB=1, a cell current flows upon setting the control potential at VR, for example, and the bit lines BLR, BLO and BLMO go 0V thus latching MSB=1. The bit line BL is then precharged to Vcc before the LSB is read out and the control gate potential is set at Vδ, for example. Consequently, the bit lines BLL, BLO and BLLD go 0V to bring about AL=0 thus latching LSB=1. The semiconductor memory operates similarly under other conditions.



## LEGAL STATUS

[Date of request for examination]

01.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number] 3153730

[Date of registration] 26.01.2001

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-315586

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl.<sup>6</sup>

G11C 16/04

識別記号

庁内整理番号

F I

G11C 17/00

技術表示箇所

308

審査請求 未請求 請求項の数8 OL (全9頁)

(21) 出願番号 特願平7-116676

(22) 出願日 平成7年(1995)5月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 伊藤 孝夫

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

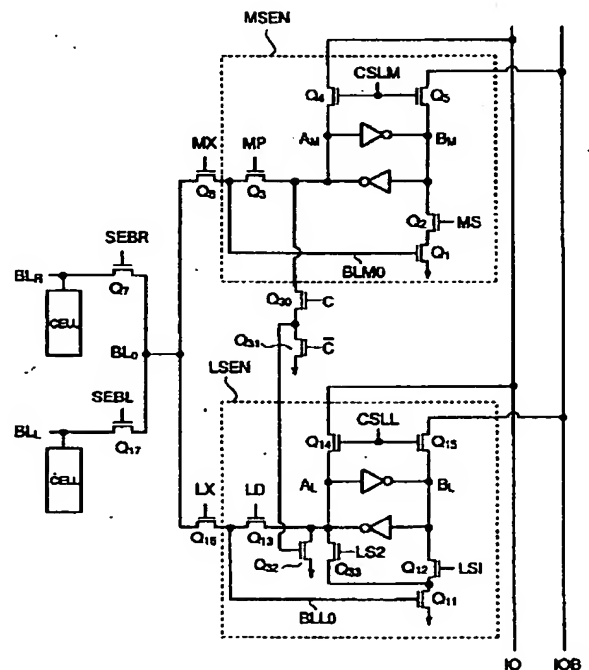
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【構成】 それぞれ第1のデータと第2のデータを保持する第1のフリップフロップ回路と第2のフリップフロップと、これらフリップフロップ回路に接続されたビット線とメモリセルを有する不揮発性半導体装置において、下位ビットの読み出し及びデータロードを第1のフリップフロップで行い、上位ビットの読み出し及びデータロードを第2のフリップフロップで行うことを特徴とする不揮発性半導体記憶装置。

【効果】 回路規模を大幅に増すことなく、また微細加工技術を用いることなく容易に多値記憶セルの読み出し、書き込み、ペリファイをすることができ、この結果低コストな不揮発性半導体記憶装置が実現される。



1

## 【特許請求の範囲】

【請求項 1】 それぞれ第 1 のデータと第 2 のデータを保持する第 1 のフリップフロップ回路と第 2 のフリップフロップと、これらフリップフロップ回路に接続されたビット線とメモリセルを有する不揮発性半導体装置において、

下位ビットの読み出し及びデータロードを第 1 のフリップフロップで行い、上位ビットの読み出し及びデータロードを第 2 のフリップフロップで行うことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記メモリセルは、情報を 2 ビット以上保持する多値記憶であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 読み出し時、上位ビットのセンス、下位ビットのセンスの順に行なうことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 下位ビットの読み出し時、上位ビットのデータに応じて下位ビットセンス用ラッチデータの値を変化させる手段を有することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】 書き込み時、上位ビット、下位ビットの順にデータを書き込むことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】 浮遊ゲートを有しそのしきい値が第 1 ないし第 4 の範囲をとることにより 4 値データを記憶するメモリセルと、

前記メモリセルに接続されたビット線と、

前記ビット線に接続された第 1 の記憶回路と、

前記ビット線に接続された第 2 の記憶回路と、

前記第 1 及び第 2 の記憶回路と接続されたデータ線とから構成され、

データ読みだし時には、

第 1 のステップにおいて、前記しきい値が前記第 1 及び前記第 2 の範囲か前記第 3 及び前記第 4 の範囲かの何れかに属するかを検出しその検出結果を前記第 1 の記憶回路に保持し、

第 2 のステップにおいて、もし前記第 1 のステップで前記しきい値が前記第 1 及び前記第 2 の範囲の何れかに存在することが検出されていたらさらにそのしきい値が前記第 1 の範囲か前記第 2 の範囲かの何れに属するかを検出しその検出結果を前記第 2 の記憶回路に保持し、もし第 1 のステップで前記しきい値が前記第 3 及び前記第 4 の範囲の何れかに存在することが検出されていたらさらにそのしきい値が前記第 3 の範囲か前記第 4 の範囲かの何れに属するかを検出しその検出結果を前記第 2 の記憶回路に保持することを特徴とする不揮発性半導体記憶装置。

【請求項 7】 請求項 6 記載の不揮発性半導体記憶装置において、前記第 2 のステップに引き続く第 3 のステップで順次前記第 1 及び第 2 の記憶回路に保持されたデー

2

タを前記データ線を介して転送することを特徴とする不揮発性半導体記憶装置。

【請求項 8】 浮遊ゲートを有しそのしきい値が第 1 ないし第 4 の範囲をとることにより 4 値データを記憶するメモリセルと、

前記メモリセルに接続されたビット線と、

前記ビット線に接続された第 1 の記憶回路と、

前記ビット線に接続された第 2 の記憶回路と、

前記第 1 及び第 2 の記憶回路と接続されたデータ線とから構成され、

データ読みだし時には、

第 1 のステップにおいて、もし前記第 1 の記憶回路に保持されたデータが第 1 のレベルであれば、前記しきい値を前記第 1 の範囲に設定し、もし前記第 1 の記憶回路に保持されたデータが第 2 のレベルであれば前記しきい値を前記第 3 の範囲に設定し、

第 2 のステップにおいて、もし前記第 1 のステップで前記しきい値が前記第 1 の範囲に設定されており、前記第 1 の記憶回路に保持されたデータが第 1 のレベルであれば、前記しきい値を前記第 1 の範囲に設定し、前記第 1 の記憶回路に保持されたデータが第 2 のレベルであれば前記しきい値を前記第 2 の範囲に設定し、もし前記第 1 のステップで前記しきい値が前記第 3 の範囲に設定されており、前記第 1 の記憶回路に保持されたデータが第 1 のレベルであれば、前記しきい値を前記第 3 の範囲に設定し、前記第 1 の記憶回路に保持されたデータが第 2 のレベルであれば前記しきい値を前記第 4 の範囲に設定することを特徴とする不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は不揮発性半導体装置に関する。特に多値記憶の書き込み動作及び読み出し動作に用いるセンスアンプに関する。

## 【0002】

【従来の技術】不揮発性半導体記憶装置は電源を切ってもデータが消えない利点があるため、近年大幅に需要が増大している。電気的に一括消去可能な不揮発性半導体記憶装置であるフラッシュメモリは、2 トランジスタ型のバイト型不揮発性半導体記憶装置と異なり、1 トランジスタでメモリセルを構成することができる。この結果、メモリセルを小さくすることが可能となり、大容量の磁気ディスクの代替用途等が期待されている。

【0003】はじめに、従来の不揮発性半導体記憶装置である NAND 型フラッシュメモリについて、説明する。すなわち、図 8 (a) に示すように、浮遊ゲートを有する MOS トランジスタからなる不揮発性のメモリセル M1 ~ M16 が直列に接続され、一端が選択トランジスタ Q1' を介してビット線 BL に、多端が選択トランジスタ Q2' を介して共通ソース線 S に接続されている。それぞれのトランジスタは同一のウェル W 上に形成され

3

ている。各々のメモリセルM1～M16の制御電極はワード線WL1～WL16に接続されており、選択トランジスタQ1”の制御電極は選択線SL1に、選択トランジスタQ2”の制御電極は選択線SL2に接続されている。

【0004】各々のメモリセルM1～M16はそれが保持するデータに応じたしきい値を持ち、このしきい値は“0”データを保持しているときにはOV以上5V以下に、“1”データを保持しているときにはOV以下に設定されている（より適切には、ある程度のマージンをもたすためこれよりも小さな範囲に設定されている）。

【0005】これらメモリセルのしきい値の個数分布は図8（b）に示すとおりである。また、読み出し、消去及び書き込み動作時のメモリセルに印加する電圧を表に示したのが図9である。

【0006】読み出し動作時には、ビット線BLを始めに5Vにプリチャージし、浮遊状態にしておき、これに引き続いて、選択線SL1に5V、選択メモリセルのワード線WLに0V、非選択メモリセルのワード線WLに5V、選択線SL2に5V、ウェルWに0V、共通ソース線Sに0Vを印加する。すると、選択メモリセル以外のすべてのトランジスタ（非選択メモリセルを含む）がオンする。選択メモリセル“0”が保持されているときにはこのメモリセルは非導通となりビット線の電位は5Vのままで変化ないが、“1”が保持されているときには導通となるためビット線は放電され電位が低下する。データのセンスは読み出し時のビット線電位を検出することにより行う。

【0007】消去動作時には、ビット線BLは開放、選択線SL1に0V、メモリセルのワード線WLに0V、選択線SL2に0V、ウェルWに18V、共通ソース線Sに18Vを印加する。すると、浮遊ゲートとウェル間にゲート絶縁膜を介してトンネル電流が流れ、しきい値は0V以下になる。

【0008】書き込み動作時には、書き込みデータによって異なった電圧を印加する。すなわち、“0”書き込み（しきい値をシフトさせる場合）ではビット線BLに0Vを印加し、“1”書き込み（しきい値をシフトさせない場合）ではビット線BLに9Vを印加する。選択線SL1には11V、選択メモリセルのワード線WLには18V、非選択メモリセルのワード線WLには9V、選択線SL2には0V、ウェルWには0V、共通ソース線には0Vを印加する。この結果、選択トランジスタQ1からメモリセルM16までのすべてのトランジスタは導通し、ビット線と同電位となる（トランジスタのしきい値落ちは考慮しない）。したがって、ビット線BLに0Vが印加されたメモリセルはチャネルと制御電極との間に18Vの高電圧がかかり、トンネル電流が流れ、しきい値は正方向にシフトする。また、ビット線BLに9Vが印加されたメモリセルはチャネルと制御電極との間に9Vしかかからないため、しきい値の正方向のシフトは抑

4

圧される。

【0009】図7は従来の不揮発性半導体記憶装置の要部を示す回路図であり、ビット線3本分を取り出して示したものである。図7によると1ビット線分の回路は次のように構成される。すなわち、書き込みデータを一時的に保持するフリップフロップ回路1（図では1-x；xは1～3）と、ビット線BL（図ではBLx；xは1～3）と、ビット線BLに接続されるNAND型メモリセル2と、ビット線BLを充電するPチャネルトランジスタQ3’と、ビット線BLとフリップフロップ回路1とを接続するトランジスタQ4’と、フリップフロップ回路1のビット線BLと反対側のノードと0Vの接地電位との間に直列に接続されたトランジスタQ7’、Q8’とからなる。このトランジスタQ7’、Q8’で強制反転手段を構成している。トランジスタQ7’のゲートはビット線BLに接続されている。

【0010】すべてのトランジスタQ3’のゲートにはφ1信号線が接続され、このトランジスタQ3’は充電手段を構成している。また、すべてのトランジスタQ4’のゲートにはφ2信号線が、Q8’のゲートにはφ3信号線が接続される。クロック発生回路5ではφ1、φ2、φ3各信号線を所定のタイミングで駆動制御する。

【0011】トランジスタQ3’のソースは書き込み動作時9V、それ以外の時は5Vとなる電源に接続されている。また、フリップフロップ回路の電源も書き込み動作時は9V、それ以外の時は5Vである。

【0012】以上、1セル・1ビット記憶方式の半導体記憶装置を説明した。しかし磁気ディスクとの1ビットあたりのコストには10倍近い差があり、1セル・1ビット記憶方式の半導体記憶装置でディスクを構成した場合まだまだ高価であることは否めない。そのため微細化を押し進める方法もあるが、そのための技術開発に時間を要する。

【0013】

【発明が解決しようとする課題】以上説明したように、1個のメモリセルに1ビットを記憶した場合、依然として磁気ディスクとのコスト差は大きい。コスト差を縮めるためには微細加工技術を採用すればいいが、莫大な設備投資、また新技術の開発が必要であるという問題があった。本発明はこのような欠点を除去し、微細加工技術も特に新しい製造技術を用いることなく低コストの不揮発性半導体記憶装置を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明では、一本のビット線に2個のフリップフロップ回路が接続できるようにし、読み出し時、多値記憶されたデータのLSBとMSBをそれぞれラッチし、また書き込み時LSBとMSBのロードされたデータをメモリセルに多値データとして書き込むこと手段とを具備

10

20

30

40

50

5

することを特徴とする不揮発性半導体記憶装置を提供する。

【0015】より詳細には、それぞれ第1のデータと第2のデータを保持する第1のフリップフロップ回路と第2のフリップフロップと、これらフリップフロップ回路に接続されたビット線とメモリセルを有する不揮発性半導体装置において、下位ビットの読み出し及びデータロードを第1のフリップフロップで行い、上位ビットの読み出し及びデータロードを第2のフリップフロップで行うことを特徴とする不揮発性半導体記憶装置を提供する。ここで、メモリセルは、情報を2ビット以上保持する多値記憶であり、読み出し時、上位ビットのセンス、下位ビットのセンスの順に行ない、下位ビットの読み出し時、上位ビットのデータに応じて下位ビットセンス用ラッチデータの値を変化させる。また、書き込み時、上位ビット、下位ビットの順にデータを書き込む。

【0016】すなわち、本発明の不揮発性半導体記憶装置は、浮遊ゲートを有しそのしきい値が第1ないし第4の範囲をとることにより4値データを記憶するメモリセルと、メモリセルに接続されたビット線と、ビット線に接続された第1の記憶回路と、ビット線に接続された第2の記憶回路と、第1及び第2の記憶回路と接続されたデータ線とから構成され、データ読みだし時には、第1のステップにおいて、しきい値が第1及び第2の範囲か第3及び第4の範囲かの何れかに属するかを検出しその検出結果を第1の記憶回路に保持し、第2のステップにおいて、もし第1のステップでしきい値が第1及び第2の範囲の何れかに存在することが検出されていたらさらにそのしきい値が第1の範囲か第2の範囲かの何れに属するかを検出しその検出結果を第2の記憶回路に保持し、もし第1のステップでしきい値が第3及び第4の範囲の何れかに存在することが検出されていたらさらにそのしきい値が第3の範囲か第4の範囲かの何れに属するかを検出しその検出結果を第2の記憶回路に保持する。さらに、第2のステップに引き続く第3のステップで順次第1及び第2の記憶回路に保持されたデータを前記データ線を介して転送する。

【0017】また、浮遊ゲートを有しそのしきい値が第1ないし第4の範囲をとることにより4値データを記憶するメモリセルと、メモリセルに接続されたビット線と、ビット線に接続された第1の記憶回路と、ビット線に接続された第2の記憶回路と、第1及び第2の記憶回路と接続されたデータ線とから構成され、データ読みだし時には、第1のステップにおいて、もし第1の記憶回路に保持されたデータが第1のレベルであれば、しきい値を第1の範囲に設定し、もし第1の記憶回路に保持されたデータが第2のレベルであればしきい値を第3の範囲に設定し、第2のステップにおいて、もし第1のステップでしきい値が第1の範囲に設定されており、第1の記憶回路に保持されたデータが第1のレベルであれば、

6

しきい値を第1の範囲に設定し、第1の記憶回路に保持されたデータが第2のレベルであればしきい値を第2の範囲に設定し、もし第1のステップでしきい値が第3の範囲に設定されており、第1の記憶回路に保持されたデータが第1のレベルであれば、しきい値を第3の範囲に設定し、第1の記憶回路に保持されたデータが第2のレベルであればしきい値を第4の範囲に設定することを特徴とする不揮発性半導体記憶装置を提供する。

【0018】

【作用】本発明によれば、センスアンプの数をビット線あたり2個設けるだけで1メモリセルに2ビットのデータを記憶させることができ特に新しい微細加工技術を用いることがなく、半導体記憶装置の製造コストを下げることができる。

【0019】また1/2カラムの選択方式をとれば、センスアンプの数をビット線あたり1個にすることができる。また読み出し時も書き込み時もMSB、LSBのデータをそのまま加工せず入力バッファや出力バッファから出し入れることが可能である。

【0020】

【実施例】本発明の実施例を以下、図面を参照して説明する。図6は本発明の第1の実施例に関わる不揮発性半導体記憶装置の全体回路構成を示す回路ブロック図である。第1の実施例はNAND型フラッシュメモリの例である。すなわち、不揮発性半導体記憶装置10はメモリセルアレイ11、ロウデコーダ12、センス回路及び書き込みデータラッチ13、カラムデコーダ14、カラムゲート15、昇圧回路16、制御回路17、I/Oバッファ18からなる。

【0021】メモリアレイ11は上述したような複数のNAND型メモリセルがマトリクス上に配設されており、縦方向にビット線BLが数千本、横方向にワード線WLが数千本配列されている。このワード線を外部から入力されたアドレスに基いて選択するのがロウデコーダ12である。センス回路及び書き込みデータラッチ13は一端ビット線に、他端はカラムゲート15を介してI/Oバッファ18に接続されている。カラムデコーダ14は外部から入力されたアドレスに基きカラムゲート15を制御しビット線および対応するセンス回路及び書き込みデータラッチ回路を選択する。昇圧回路16は書き込み動作や消去動作に必要な高電圧を供給する。制御回路17は書き込み、消去、読み出し動作等を制御する。また、I/Oバッファ18はチップ外部とのインターフェイスをとる。

【0022】図1は本発明の不揮発性半導体記憶装置の要部を示す回路図であり読み出し時、例えばビット線BLRを選択し、BLLを非選択にする場合を考えてみる。この時SEBRは“H”でQ7はオン、SEBLは“L”でQ17はオフの状態である。読み出しは以下に述べる3段階の方法で行う。(1)まずMSB(=Most Significant Bit=上位ビット)を読み出すセンスアンプMSENでMSBを読み出す。(2)次にMSB=1

7

の場合のLSB (Least Significant Bit = 下位ビット) を読み出すセンスアンプLSENで読み出す。

(3) 最後に、MSB=0の場合のLSBをLSENで読み出す。以上によりセンス後MSBのデータがMSEN内にラッチされ、LSBのデータがLSEN内にラッチされる。以下図1と図2を使い、2値(4つの状態)の読み出し方法について述べる。

【0023】(1) MSBの読み出し

読み出し時に選択されたコントロールゲートの電位をVREF2 (例えば1.0V) にする。状態1と状態2の時のしきい値分布はともにVREF 2よりも小さいためセル電流が流れ、ビット線BLR及びBLO、BLMOが0VになるためAMは0VになりMSB=1が読み出されラッチされる。一方状態3と状態4の時のしきい値分布はともにVREF 2よりも高いためセル電流は流れずビット線BLR、BLO、BLMOは“H”の状態(例えばVCC)になるため、トランジスタQ1がONしMSも“H”であるため、BMがVCCからVSSへ、AMがVSSからVCCになり、MSB=0が読み出されラッチされる。

【0024】(2) MSB=1の場合のLSB読み出し  
LSB読み出し用センスアンプLSENも読み出す前に、ノードBLにVCC、ノードAL=VSSへプリチャージしておく。

【0025】(2-1) MSB=1、LSB=1 (状態1) のセンス動作

コントロールゲートの電位をVREF1 (例えば0V) にする。状態1の時のしきい値分布はVREF 1よりも低いいためセル電流は流れ、ビット線BLR及びBLO、BLLOが0VになるためALは0VになりLSB=1が読み出されラッチされる。

【0026】(2-2) MSB=1、LSB=0 (状態2) のセンス動作

コントロールゲートの電位をVREF1 (例えば0V) にする。状態2の時のしきい値分布はVREF1よりも高いためセル電流は流れず、ビット線BLL及びBLO、BLLOは“H”の状態(例えばVCC)となるためトランジスタQ11がONし、LS1も“H”であるためBLがVCCからVSSへ放電し、ALがVSSからVCCになりLSB=0が読み出されラッチされる。

【0027】(2-3) MSB=0、LSB=1 (状態3) のセンス禁止動作

コントロールゲートの電位をVREF1 (例えば0V) にする。状態3の時のしきい値分布はVREF1よりも高いためセル電流が流れず、ビット線BLR及びBLO、BLLOが“H”の状態(例えばVCC)となるためトランジスタQ11がONし、LS1も“H”であるためBLがVCCからVSSへ放電しALがVSSからVCCに一時的にラッチされる。しかしこのあと、C=“H” (VCC+Vth以上の電位) でかつC=0Vを与えることによりAMの情報をALに伝える。つまり、AM=VCC (MSB=0) な

8

らばQ32のトランジスタがONし、ALがVCCにラッチされていた状態が放電してVSSへ、BLがVSSからVCCとなり、読み出し前のプリチャージ状態にリセットされる。

【0028】以上(2-1)、(2-2)でMSB=1の時のLSBのセンスが行なわれる。

(2-4) MSB=0、LSB=0 (状態4) のセンス禁止動作

コントロールゲートの電位をVREF1 (例えば0V) にする。状態4の時のしきい値分布はVref1よりも高いためセル電流が流れず、ビット線BLR及びBLO、BLLOが“H”の状態(例えばVCC)となるためトランジスタQ11がONし、LS1も“H”であるためBLがVCCからVSSへ放電しALがVSSからVCCに一時的にラッチされる。しかしこのあと、C=“H” (VCC+Vth以上の電位) でかつC=0Vを与えることにより、AMの情報をALに伝える。つまりAM=VCC (MSB=0) ならばQ32のトランジスタがONしALがVCCにラッチされていた状態が放電してVSSへ、BLがVSSからVCCとなり、読み出し前のプリチャージ状態にリセットされる。

【0029】以上、(2-2) (状態3)、(2-4) (状態4) の操作でMSB=0の場合はLSBのセンスを禁止し、プリチャージ状態に戻す操作を行う。

(3) MSB=0の場合のLSB読み出し

この読み出しモードの際、CをVCCから0にしQ30をオフ、Cを0VからVCCにし、Q32のトランジスタをオフ状態にしておく。

【0030】(3-1) MSB=0、LSB=1 (状態3) のセンス動作

コントロールゲートの電位をVREF 3 (例えば2V) にすると状態3のしきい値分布はVREF よりも低いいためセル電流が流れ、ビット線BLR及びBLO、BLLOが0VになるためALは0VになりLSB=1が読み出されラッチされる。

【0031】(3-2) MSB=0、LSB=0 (状態4) のセンス動作

コントロールゲートの電位をVREF 3 (例えば2V) にすると状態4の時のしきい値分布はVREF 4よりも高いためセル電流が流れずビット線BLR及びBLO、BLLOが“H” (例えばVCC) となるためトランジスタQ11がONし、LS1も“H”であるためBLがVCCからVSSへ放電し、ALがVSSからVCCになりLSB=0が読み出されラッチされる。

【0032】(3-3) MSB=1、LSB=1 (状態1) の時の非センス動作

コントロールゲート電位をVREF 3 (例えば2V) にすると状態1の時のしきい値分布は、VREF 4よりも低いいためセル電流が流れ、ビット線電位BLR及びBLO、BLLOは0VになるためQ11のトランジスタがONせず(2-1)のセンス後の状態を保つ。

9

【0033】(3-4) MSB=1、LSB=0 (状態2)の時の非センス動作

上記(3-3)と同じ理由でQ11がONせず(2-2)のセンス後の状態を保つ。

【0034】以上の(1)、(2)、(3)の3段階のセンス動作によりMSB用センスアンプMSENにはMSBの情報が、LSB用センスアンプLSENにはLSBの情報がそれぞれラッチされる。

【0035】(4)消去と書き込み動作

(4-1)消去は従来と同じ方法で行う。一括消去後の状態は状態1となる。この時MSB=1、LSB=1となる。

【0036】(4-2)書き込みは次に示す順序で行う。書き込むべきデータは入力からロードし、MSBのデータはMSENにラッチし、LSBのデータはLSENにそれぞれラッチさせておく。

【0037】データの書き込みは次の3段階で行う。

(4-2-1) MSBのデータの書き込みおよびペリファイ

MSENにラッチされたMSBのデータは、図1のトランジスタQ3、Q6、Q7をオンさせることによりBLRに転送される。BLRが“H”であれば選択されたセルへは“1”データ(D-type)となり、“L”であれば選択されたセルに電子が注入され“0”データ(E-type)となる。このMSB書き込み後の各状態のしきい値分布の様子は図3のようになる。

【0038】MSBのデータのペリファイは、(4-2-1)のMSB読み出しと同じ方法で行うことができる。ただしVREF2はペリファイ電位として、例えば0.2Vのマージンを取り、1.2Vとする。

【0039】(4-2-2) 次にMSB=1の場合のLSB=0の書き込みを行う。この場合、MSB=0の状態(図3の状態3と状態4)へは書き込みを禁止するようにする。

【0040】LSENにはLSBのデータがロードされている。がこれと同じデータをMSENにそのまま転送する。従ってこの時、MSENとLSENにLSBのデータがラッチされている。転送(コピー)は図1でQ7とQ17をオフ状態にし、Q13、Q16、Q6、Q3をオン状態にすることにより可能である。

【0041】次にQ6をオフしMSENを切り離す。Q7とQ16をオンさせ、BLRとLSNEを接続させ選択されたコントロールゲート電位には、接地電位(VSS=0V)を与えメモリセルから(1)で先程書いたMSBのデータを読み出す。MSBが0の場合、読み出し後のビット線電位は図11のようにVMとなりLSBのいかんにかかわらず書き込みを禁止する。

【0042】このデータを書き込むと、状態2だけ書き込まれる。ペリファイは、VREF1に例えば0.2Vを加えペリファイを行う。

10

(4-2-3) MSB=0の場合のLSB=1の書き込みを行う。

【0043】この場合、MSB=1(図3の状態1と状態2)へは書き込みを禁止するようにする。LSENを使いメモリセルから(4-2-1)で先程書いたMSBのデータを反転して読み出しラッチさせる。通常読み出し時に、LS1を“H”にしてQ12をオンさせていたがLS2を“H”にしてQ33をオンさせて反転読み出しを行う。MSBの反転読み出しデータはラッチされるが、このデータをMSENに転送(コピーする)

MSENには、LSENからコピーされたLSBのデータがラッチされており、この状態のままMSBのデータを読み出すと読み出し後のAM(MSEN内)の電位は図12のようになり、書き出す時、状態1と2はビット線電位はVMとなり、書き込みは禁止される。

【0044】状態4のみ書き込まれ図5のようになる。ペリファイは、VREFに例えば2.2Vを与えて行う。以上、一回の消去と、3段階の書き込みと、ペリファイのくり返しにより選択されたメモリセルへ4値のデータ(2ビット)の書き込みが修了する。

【0045】

【発明の効果】以上説明してきたように本発明を用いると、回路規模を大幅に増すことなく、また微細加工技術を用いることなく容易に多値記憶セルの読み出し、書き込み、ペリファイをすることができ、この結果低コストな不揮発性半導体記憶装置が実現される。

【図面の簡単な説明】

【図1】本発明の実施例に関する不揮発性半導体記憶装置の要部を示す回路図である。

30 【図2】2ビット(4値)記憶のメモリセルのしきい値分布を示す図である。

【図3】MSBデータ書き込み後のメモリセルのしきい値分布を示す図である。

【図4】MSB=1の時のLSBデータ書き込み後のメモリセルのしきい値分布を示す図である。

【図5】MSB=0の時のLSBデータ書き込み後のメモリセルのしきい値分布を示す図である。

【図6】本発明の全体回路構成を示す図である。

40 【図7】従来例の半導体記憶装置の要部を示す図である。

【図8】(a) NAND型フラッシュメモリのセル構造を示す回路図。

(b)は(a)のメモリセルのしきい値分布の個数分布を示す分布図である。

【図9】図8のメモリセルにおける読み出し、消去、及び書き込み動作時にメモリセルに印加する電圧を表に示した図である。

【図10】消去、書き込み動作を示す図である。

【図11】本発明の動作を説明する図表である。

50 【図12】本発明の動作を説明する図表である。



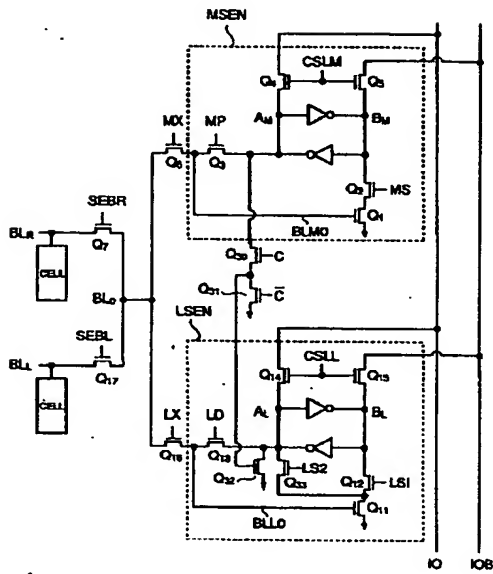
11

【符号の説明】

Q MOSトランジスタ

CELL      メモリセル

【圖 1】



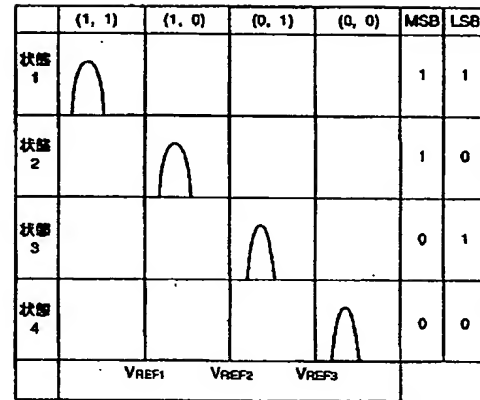
12

\* IO、IOB      データ線

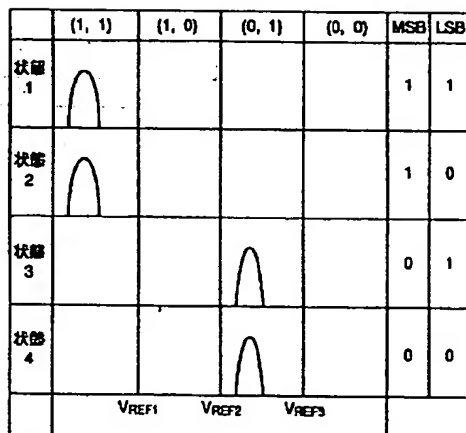
BL      ビット線

\*

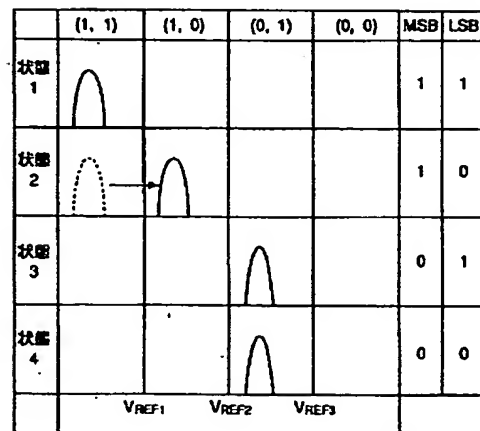
【図2】



【図 3】



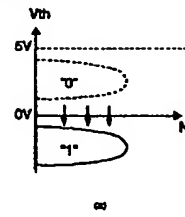
【図 4】



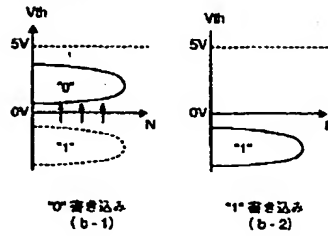


【図 10】

(前 夫)



(書き込み)



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**